


## PRINTING PLATE AND METHOD FOR PRINTING

Patent Number: JP2001030644  
Publication date: 2001-02-06  
Inventor(s): IZUMIDA KAZUO;; NAKAHARA NORIHIKO;; SONEHARA AKIO;;  
MAKINO YOSHIO  
Applicant(s): DAINIPPON PRINTING CO LTD  
Requested  
Patent:  JP2001030644  
Application  
Number: JP19990204941 19990719  
Priority Number  
(s):  
IPC Classification: B41N1/06; B41M1/10; B41M1/14  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To form a highly minute pattern, to eliminate a transfer fault of an ink and to improve linearity by adopting an intaglio and letterpress plate having an intaglio for receiving an ink at a periphery of a protrusion formed on a surface of a plate cylinder in a printing plate for printing a multicolor pattern on a base material.

**SOLUTION:** This printing plate is constituted of an intaglio and letterpress plate having an intaglio 4 as an ink receiving portion formed on an ink transfer surface 3 at a top portion of a letterpress 2, and an ink 5 filled in the intaglio 4 is transferred when printed. Then, a height H to the top of the letterpress 2 is preferably set to 0.1 to 5 mm with respect to a thickness of a colored pattern to be printed. The letterpress 2 is formed at a pitch 6 coincident with an ink pattern to be printed. A width W of the intaglio 4 formed at a central portion of the letterpress 2 is preferably set, for example, to (W1-5  $\mu$ m) to (W1-50  $\mu$ m). Further, a depth of the intaglio 2 is preferably set, for example, to 1 to 100  $\mu$ m.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54508

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/3205  
21/60

3 0 1

H 0 1 L 21/88  
21/60

T

3 0 1 N

審査請求 未請求 請求項の数 9 O L (全 5 頁)

(21) 出願番号

特願平9-204941

(22) 出願日

平成9年(1997) 7月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 実沢 佳居

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

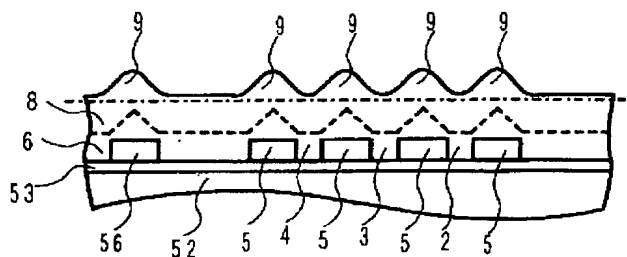
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 平坦性に優れた層間絶縁膜を得て、半導体装置としての信頼性を高めること。

【解決手段】 半導体 S i 基板 5 2 の表面には、配線部 5 6 と電極部 1 とが形成されている。電極部 1 はスリット 2 ~ 4 により複数の導電部 5 に細分化されている。このように、電極部 1 を細分化することで、配線部 5 6 及び電極部 1 を覆う絶縁膜 8 ( 6 ) の表面の凹凸が小さくなって、CMP による表面の平坦化処理を良好に行うことができる。



## 【特許請求の範囲】

【請求項 1】 ボンディングパッドに絶縁層を介して電氣的に接続される電極部が、ボンディングパッドよりも小さな面積を有することを特徴とした半導体装置。

【請求項 2】 ボンディングパッドに絶縁層を介して電氣的に接続される電極部が、スリットを有することを特徴とした半導体装置。

【請求項 3】 前記絶縁層が平坦化されていることを特徴とした請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記電極部は、前記ボンディングパッドの下に位置することを特徴とした請求項 3 に記載の半導体装置。

【請求項 5】 前記電極部とボンディングパッドとが複数個所で電氣的接続されていることを特徴とした請求項 4 に記載の半導体装置。

【請求項 6】 前記電極部と同一層に配線部を有することを特徴とした請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 半導体基板の表面に、配線部と電極部とを形成する工程と、

前記電極部にスリットを形成する工程と、

前記配線部及び電極部を絶縁層で覆う工程と、

前記絶縁層の表面を平坦化する工程と、

前記絶縁層に前記電極部に通じるコンタクトホールを形成する工程と、

前記絶縁層の上に、前記コンタクトホールを介して前記電極部と接続されるボンディングパッドを形成する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項 8】 前記配線部と電極部とを形成する工程と前記電極部にスリットを形成する工程とを同時に行うことを特徴とした請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記絶縁層の表面を平坦化する工程を、化学的機械的研磨法を用いて行うことを特徴とした請求項 8 又は 9 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ボンディングパッドを備えた半導体装置及び半導体装置の製造方法に関する。

## 【0002】

【従来の技術】セラミック又は樹脂によって形成されたパッケージに半導体チップを搭載する際には、半導体チップに、パッケージの外に出ているリード端子とを電氣的に接続するためのボンディングパッドが設けられている。図 9 に従来の半導体チップ 51 の概略断面図を示す。

【0003】半導体チップ 51 は、半導体 Si 基板 52 に形成された図示しない MOS デバイス等の素子有し、更にその上に多層配線構造を有している。多層配線

構造は、層間絶縁膜 53、54、55、配線層 56、57、電極部 58、ボンディングパッド 59、ビアホール（コンタクトホール）60、61、ビアホール埋め込みプラグ 62、63、パッシベーション膜 64 から構成されている。

【0004】第 1 の層間絶縁膜 53 は、例えばシリコン酸化膜からなり、半導体基板 52 及び MOS デバイス等の素子の上に形成されている。第 1 の配線層 56 及び電極部 58 は層間絶縁膜 53 の上に形成されている。電極部 58 は図 10 に示すように、ボンディングパッド 59 とほぼ等しい大きさで、第 1 の配線層 56 と同一材料により同一工程にて形成されている。

【0005】第 2 の層間絶縁膜 54、55 は、それぞれ異なる条件で形成したシリコン酸化膜からなり、配線層 56 及び電極部 58 の上に形成されている。第 2 の配線層 57 及びボンディングパッド 59 は層間絶縁膜 55 の上に形成されている。ボンディングパッド 59 は第 2 の配線層 57 と同一材料により同一工程にて形成されている。

【0006】そして、各層間絶縁膜 53、(54)、55 の表面は、CMP (Chemical Mechanical Polishing) 法を用いて平坦化されている。ビアホール 60 は層間絶縁膜 54、55 に形成され、このビアホール 60 内に形成されたビアホール埋め込みプラグ 62 を介して第 1 の配線層 56 と第 2 の配線層 57 とが電氣的に接続されている。

【0007】ビアホール 61 はビアホール 60 よりもはるかに径が大きく、ビアホール 60 と同様層間絶縁膜 54 に形成されている。そして、このビアホール 61 を介して（一部はビアホール 61 内に形成されたビアホール埋め込みプラグ 63 を介して）、電極部 58 とボンディングパッド 59 とが電氣的に接続されている。パッシベーション膜 64 は、ボンディングパッド 59 の表面中央部を除く半導体チップ 51 の表面（層間絶縁膜 55 の上）に形成されている。

【0008】パッシベーション膜 64 から露出したボンディングパッド 59 の表面中央部には、ボンディングワイヤ 65 が熱圧着されている。このボンディングワイヤ 65 は、ボンディングパッド 59 と図示しないパッケージのリード端子とを電氣的に接続する。

## 【0009】

【発明が解決しようとする課題】層間絶縁膜 54、55 をプラズマ CVD 法などの手法により配線層 56 及び電極部 58 の上に堆積した場合、その表面には下地配線の凹凸を反映して、図 11 に示すように凸部 66 が発生する。そして、この凸部 66 の個々の形状も、下地の凹凸面の個々の形状を反映してそれぞれ異なったものになる。

【0010】上述したように、従来例にあつては、電極部 58 の幅は、大きなコンタクト部を形成して電気抵抗

の低い接続状態を得るために、ボンディングパッド59とほぼ同じ大きさに形成されており、配線層56の幅よりも非常に大きく設定されている。従って、層間絶縁膜54の表面の凸部66の幅も、下地面を反映して、幅の狭い配線層56の上の凸部66aの幅は狭く、幅の広い電極部58の上の凸部66bの幅は大きくなる。

【0011】この状態で層間絶縁膜54の表面をCMP法により研磨した場合、CMP法では、幅の狭い凸部66aよりも幅の広い凸部66bの方が研磨速度が遅いから、幅の広い凸部66bを研磨し終わった頃には、幅の狭い凸部66aの個所は過剰に研磨されてしまっていて、層間絶縁膜54の表面の平坦性を損なうばかりか配線層56が露出してしまふ危険もある。

【0012】本発明は、半導体装置及び半導体装置の製造方法に係り、係る問題点を解消せんとするものである。

#### 【0013】

【課題を解決するための手段】請求項1の半導体装置は、ボンディングパッドに絶縁層を介して電氣的に接続される電極部が、ボンディングパッドよりも小さな面積を有するものである。また、請求項2の半導体装置は、ボンディングパッドに絶縁層を介して電氣的に接続される電極部が、スリットを有するものである。

【0014】また、請求項3の半導体装置は、前記絶縁層が平坦化されているものである。また、請求項4の半導体装置は、前記電極部が、前記ボンディングパッドの下に位置するものである。また、請求項5の半導体装置は、前記電極部とボンディングパッドとが複数個所で電氣的接続されているものである。

【0015】また、請求項6の半導体装置は、前記電極部と同一層に配線部を有するものである。また、請求項7の半導体装置の製造方法は、半導体基板の表面に、配線部と電極部とを形成する工程と、前記電極部にスリットを形成する工程と、前記配線部及び電極部を絶縁層で覆う工程と、前記絶縁層の表面を平坦化する工程と、前記絶縁層に前記電極部に通じるコンタクトホールを形成する工程と、前記絶縁層の上に、前記コンタクトホールを介して前記電極部と接続されるボンディングパッドを形成する工程と、を含むものである。

【0016】また、請求項8の半導体装置の製造方法は、前記配線部と電極部とを形成する工程と前記電極部にスリットを形成する工程とを同時に行うものである。また、請求項9の半導体装置の製造方法は、前記絶縁層の表面を平坦化する工程を、化学的機械的研磨法を用いて行うものである。すなわち、ボンディングパッドと接続される電極部を、例えばスリットを入れることによって、その断面形状を小さくすることにより、この電極部を覆う絶縁膜の表面の凹凸が小さくなって、表面の平坦化処理を良好に行うことができる。

【0017】特に、電極部とボンディングパッドとを複

数個所で電氣的接続することにより、電極部の面積が小さくなっているにもかかわらず、配線抵抗の増大を抑制できる。また、配線部と電極部とを形成する工程と前記電極部にスリットを形成する工程とを同時に行うことにより、そのぶん工程数を削減できる。

#### 【0018】

【発明の実施の形態】本発明を具体化した実施形態を図面に基づいて説明する。但し、図9～図11に示した従来例と同等の構成部材には同じ符号を用い、その詳細な説明を省略する。本実施形態が図9に示した従来技術と異なるのは、図1に示すように、電極部1の形状を櫛形状にしたことである。

【0019】すなわち、電極部1には3本のスリット2、3、4を設けることにより細分化され、残った導電部5・・・の幅は、同一層に形成された配線部56の内もつとも幅が広いものとほぼ同じになる。以下、本実施形態における半導体装置の製造プロセスを図2～図7に基づいて説明する。

【0020】工程1（図2参照）：層間絶縁膜53の上に配線層56及び電極部を形成する。配線層56及び電極部1はA1を主成分とする合金からなり、共に同一のリソグラフィ工程及びエッチング工程によりパターンニングされる。この際、電極部1には、図1の通り、櫛形状となるようスリット2～4が形成される。次に、配線層56及び電極部1を覆うように、プラズマCVD法を用いて絶縁膜（SiO<sub>2</sub>、SiN、SiOF、BPSG、PSGなど）6を堆積する。この絶縁膜6は高密度プラズマCVD法を用い、堆積時に基板側電極にバイアス電圧を印加することにより、スパッタと堆積が同時に行進して、狭い配線スペース部でもカバレッジ良く堆積される。この際、絶縁膜6の表面には下地面の凹凸を反映した凸部7・・・が形成されるが、電極部1を細分化しているので、従来のように極端に大きな凸部は発生しない。

【0021】工程2（図3参照）：絶縁膜6の上に、今度は堆積速度が速い条件に設定したプラズマCVD法を用いて、絶縁膜8（SiO<sub>2</sub>、SiN、SiOF、BPSG、PSGなど）を厚く堆積する。この絶縁膜8の表面にも下地絶縁膜6の凹凸を反映して凸部9・・・が形成される。工程3（図4参照）：CMP法を用いて、絶縁膜8の表面の凸部9・・・を研磨し、平坦化する。この際、絶縁膜8の表面には、多少大きさの異なる凸部が存在するが、従来のように極端な形状差の凸部は存在しないので、CMPによる研磨も膜の表面全体に亘ってほぼ均一に行われる。

【0022】工程4（図5参照）：フォトリソグラフィ技術及びエッチング技術を用いて、層間絶縁膜54に、電極部1の各導電部5・・・に通じるビアホール10・・・を形成する。

工程5（図6参照）：MO-CVD法などを用いて、ビアホール10内にタングステンなどからなるビアホール

5

埋め込みプラグ 1 1 ・ ・ を形成する。ビアホール 1 1 から  
はみ出たプラグ材はエッチバックにより除去する。

【0023】工程 6 (図 7 参照) : ビアホール埋め込み  
プラグ 1 1 ・ ・ と電氣的に接続されるように、ボンディ  
ングパッド 5 9 を形成し、パッシベーション膜 6 4 を形  
成した後、ボンディングパッド 5 9 の表面中央部を露出  
させる。以上の通り、本実施形態にあつては、ボンディ  
ングパッド 5 9 の下の電極部 1 を細分化することによ  
り、層間絶縁膜 8 (6) の表面に発生する凸部 9 ・ ・ の  
大きさが平均化されて、CMP による研磨が膜表面全体  
に亘ってほぼ均一に行われる。

【0024】従つて、平坦性に優れた層間絶縁膜を得る  
ことができ、その後の配線層 5 7 やボンディングパッド  
5 9 の形成も容易に行え、総じて信頼性の高い半導体チ  
ップを得ることができる。尚、本発明にあつては、電極  
部 1 の形状を櫛形状に限定するものではなく、図 8 に示  
すように、中央部にスリット 1 2 を形成することによつ  
て電極部 1 を細分化して導電部 5 を形成してもよく、ま  
た、スリットの数も図 1 や図 8 に限定するものではない。

【0025】

【発明の効果】本発明にあつては、平坦性に優れた層間  
絶縁膜を得て、半導体装置としての信頼性を高めること  
ができる。

【図面の簡単な説明】

【図 1】本発明の実施形態における電極部の斜視図。

【図 2】本発明の実施形態における半導体装置の製造プ  
ロセスを順次示す断面図。

【図 3】本発明の実施形態における半導体装置の製造プ

6

ロセスを順次示す断面図。

【図 4】本発明の実施形態における半導体装置の製造プ  
ロセスを順次示す断面図。

【図 5】本発明の実施形態における半導体装置の製造プ  
ロセスを順次示す断面図。

【図 6】本発明の実施形態における半導体装置の製造プ  
ロセスを順次示す断面図。

【図 7】本発明の実施形態における半導体装置の製造プ  
ロセスを順次示す断面図。

【図 8】本発明の実施形態における電極部の他の例を示  
す斜視図。

【図 9】従来例における半導体装置の断面図

【図 10】従来例における電極部の斜視図

【図 11】従来例における半導体装置の製造プロセス途  
中を示す断面図。

【符号の説明】

1 電極部

2 ~ 4、1 2 スリット

5 導電部

20 6 絶縁膜 (絶縁層)

8 絶縁膜 (絶縁層)

9 凸部

1 0 ビアホール

1 1 プラグ

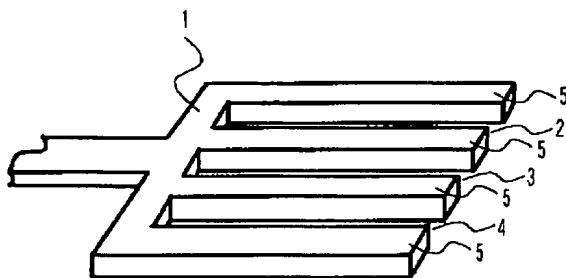
5 2 半導体 S i 基板

5 4、5 5 絶縁膜

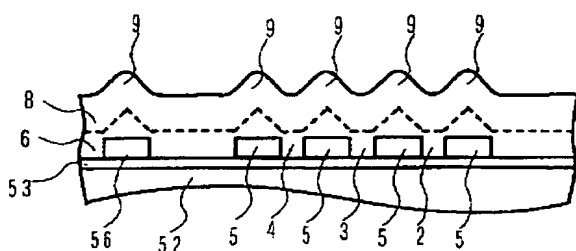
5 6 配線部

5 9 ボンディングパッド

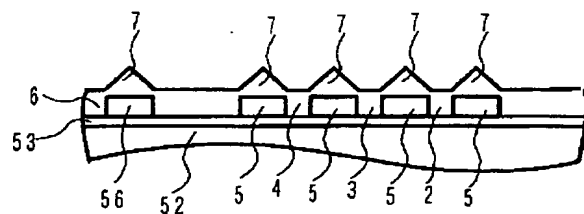
【図 1】



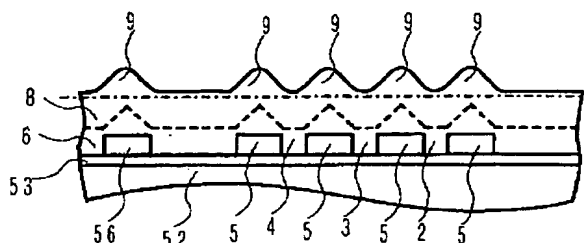
【図 3】



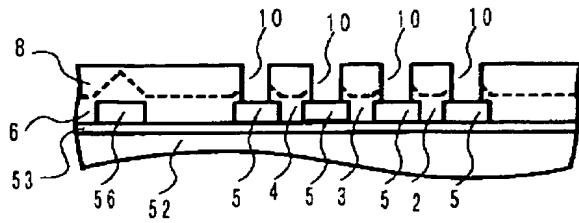
【図 2】



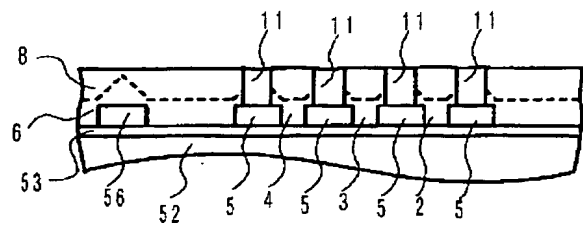
【図 4】



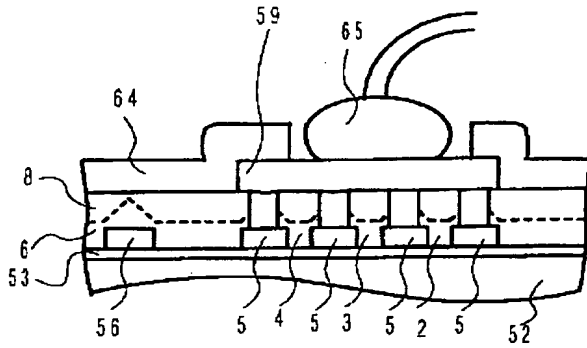
【図 5】



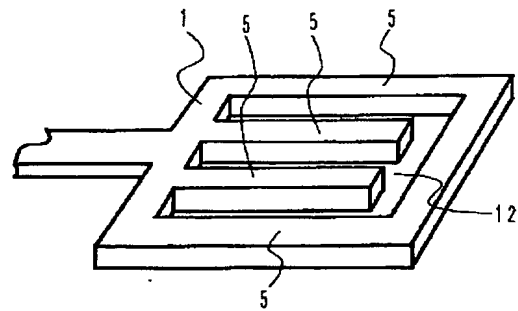
【図 6】



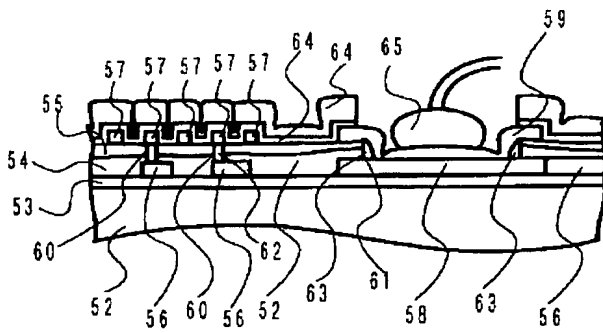
【図 7】



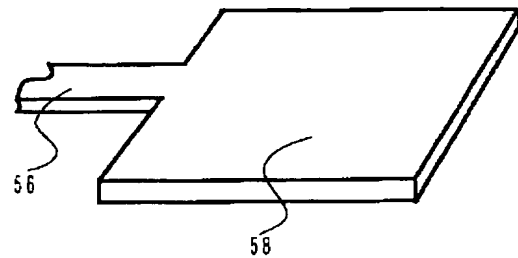
【図 8】



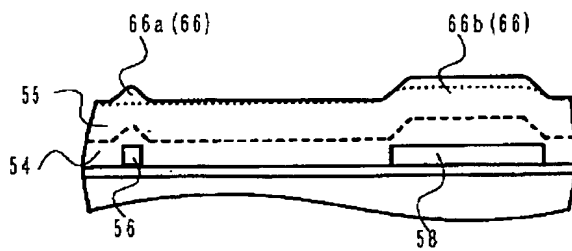
【図 9】



【図 10】



【図 11】



【公報種別】特許法第 1 7 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 1 4 年 9 月 2 7 日 ( 2 0 0 2 . 9 . 2 7 )

【公開番号】特開平 1 1 - 5 4 5 0 8  
 【公開日】平成 1 1 年 2 月 2 6 日 ( 1 9 9 9 . 2 . 2 6 )  
 【年通号数】公開特許公報 1 1 - 5 4 6  
 【出願番号】特願平 9 - 2 0 4 9 4 1  
 【国際特許分類第 7 版】

H01L 21/3205  
 21/60 301

【 F I 】

H01L 21/88 T  
 21/60 301 N

【手続補正書】

【提出日】平成 1 4 年 7 月 1 5 日 ( 2 0 0 2 . 7 . 1 5 )

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体装置の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 半導体基板の表面に、配線部と電極部とを形成する工程と、

前記電極部にスリットを形成する工程と、

前記配線部及び電極部を絶縁層で覆う工程と、

前記絶縁層の表面を平坦化する工程と、

前記絶縁層に前記電極部に通じるコンタクトホールを形成する工程と、

前記絶縁層の上に、前記コンタクトホールを介して前記電極部と接続されるボンディングパッドを形成する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項 2】 前記コンタクトホールを複数形成することを特徴とした請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記配線部と電極部とを形成する工程と前記電極部にスリットを形成する工程とを同時に行うことを特徴とした請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記絶縁層を高密度プラズマ CVD 法を用いて形成することを特徴とした請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記絶縁層の表面を平坦化する工程を、化学的機械的研磨法を用いて行うことを特徴とした請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 0 1

【補正方法】変更

【補正内容】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、ボンディングパッドを備えた半導体装置の製造方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 2

【補正方法】変更

【補正内容】

【 0 0 1 2 】本発明は、半導体装置の製造方法に係り、係る問題点を解消せんとするものである。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 3

【補正方法】変更

【補正内容】

【 0 0 1 3 】

【課題を解決するための手段】請求項 1 の半導体装置の製造方法は、半導体基板の表面に、配線部と電極部とを形成する工程と、前記電極部にスリットを形成する工程と、前記配線部及び電極部を絶縁層で覆う工程と、前記絶縁層の表面を平坦化する工程と、前記絶縁層に前記電極部に通じるコンタクトホールを形成する工程と、前記絶縁層の上に、前記コンタクトホールを介して前記電極部と接続されるボンディングパッドを形成する工程と、を含むことをその要旨とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】請求項2の半導体装置の製造方法は、請求項1に記載の発明において、前記コンタクトホールを複数形成することをその要旨とする。請求項3の半導体装置の製造方法は、請求項1又は2に記載の発明において、前記配線部と電極部とを形成する工程と前記電極部にスリットを形成する工程とを同時に行うことをその要旨とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項4の半導体装置の製造方法は、請求項1～3のいずれか1項に記載の発明において、前記絶縁層を高密度プラズマCVD法を用いて形成することをその要旨とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】請求項5の半導体装置の製造方法は、請求項1～4のいずれか1項に記載の発明において、前記絶縁層の表面を平坦化する工程を、化学的機械的研磨法を用いて行うことをその要旨とする。すなわち、ボンディングパッドと接続される電極部にスリットを入れることによって、その断面形状を小さくすることにより、この電極部を覆う絶縁膜の表面の凹凸が小さくなって、表面の平坦化処理を良好に行うことができる。